

PCIからPCI-X そしてPCI Express

株式会社 ネットマークス
ストレージネットワーキング事業部
市川 文和

PCI バスコネクタ形状と動作電圧

■ PCIのバスコネクタ形状仕様

5V/32bit スロット



3.3V/32bit スロット



5V/64bit スロット



3.3V/64bit スロット



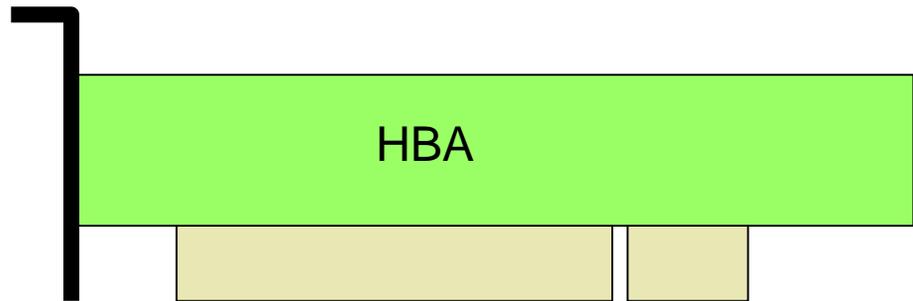
この表記で表されている電圧表記は、PCI I/Oシグナリングレベルであり動作電圧の表記ではない。

- HBAの**ユニバーサルアダプタ**は、どのコネクタ形状にも対応している。
これは、3.3Vと5VのI/Oシグナルレベルに対応しているということであり動作電圧は3.3Vか5Vいずれか、もしくは両方で動くものがあるので注意が必要。

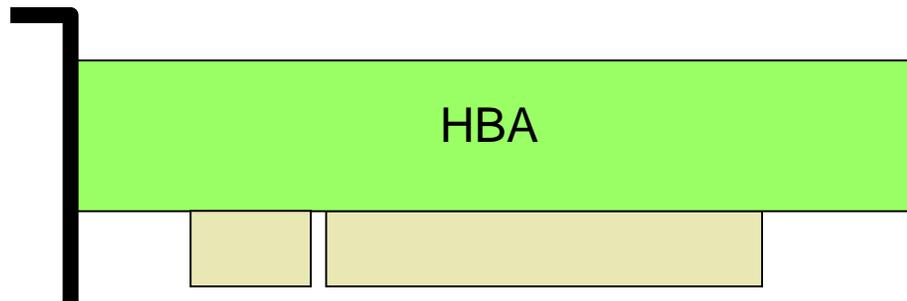
PCI v2.1	5V (3.3Vはオプション)
PCI v2.2	3.3V(5Vはオプション)
PCI v2.3	3.3v(5Vオプション)

PCIの32bitコネクタとバスコネクタ形状

5V コネクタ



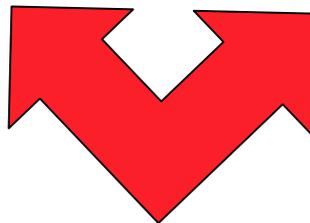
3.3V コネクタ



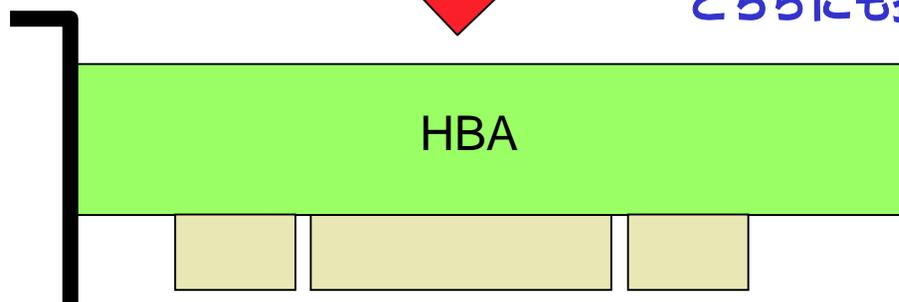
5V バスコネクタ



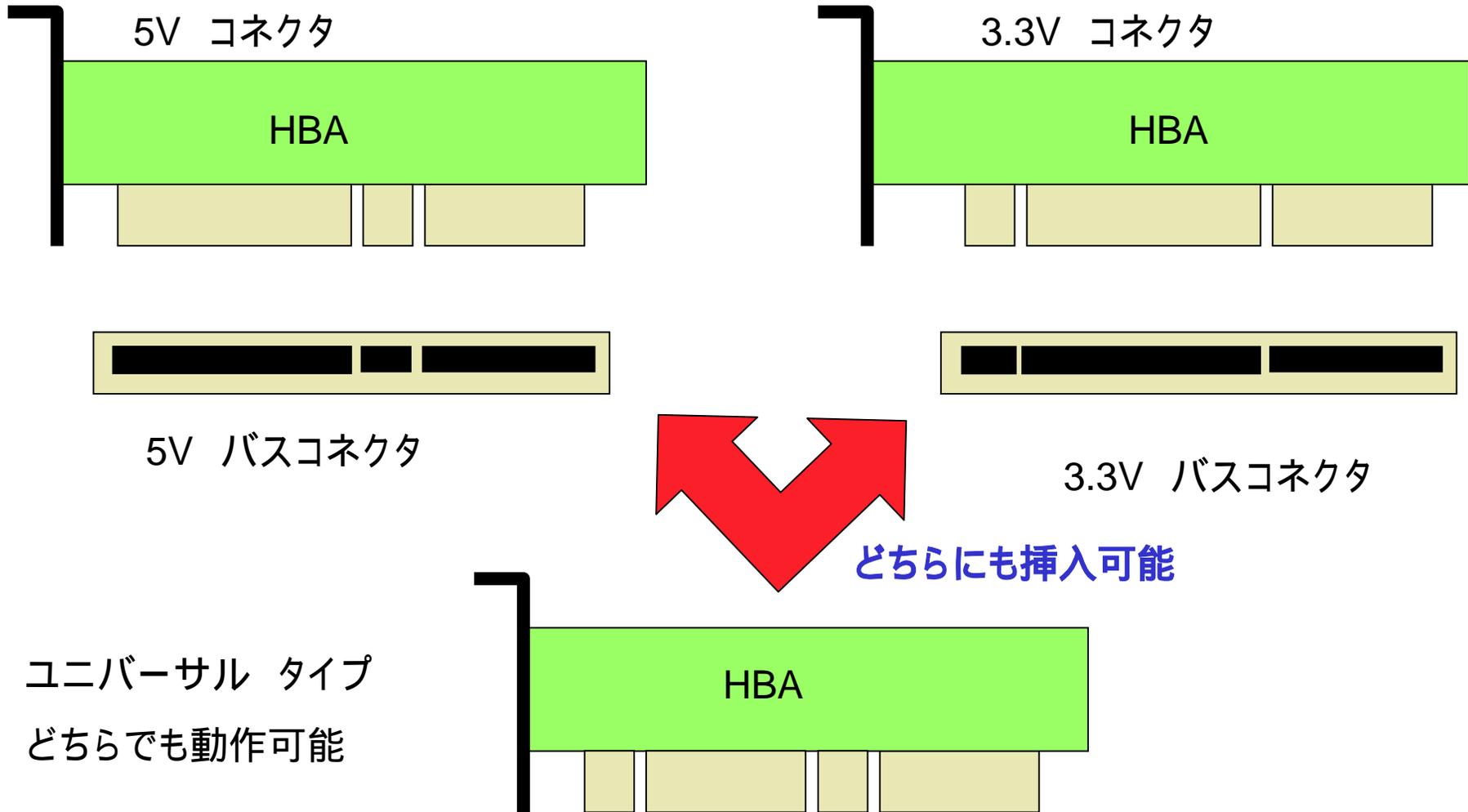
3.3V バスコネクタ



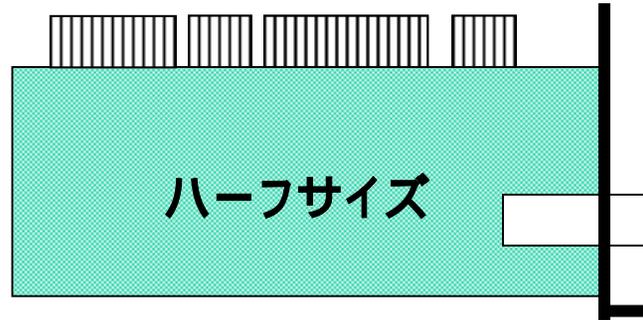
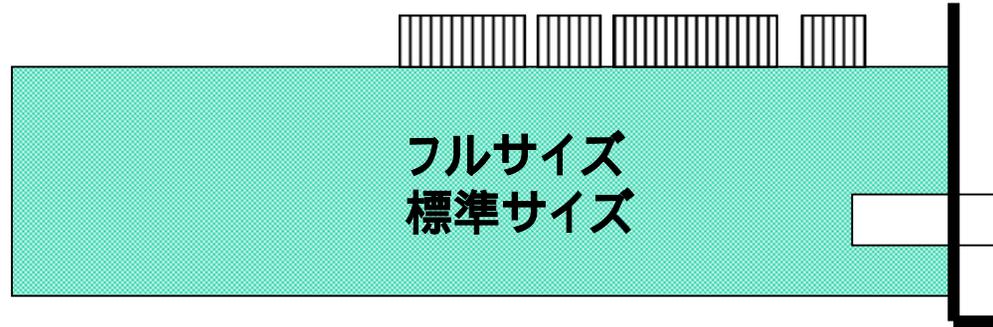
どちらにも挿入可能



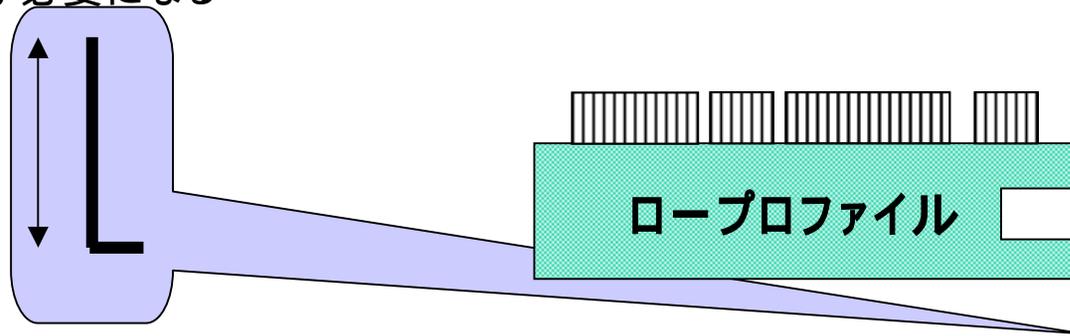
PCIの64bitコネクタとバスコネクタ形状



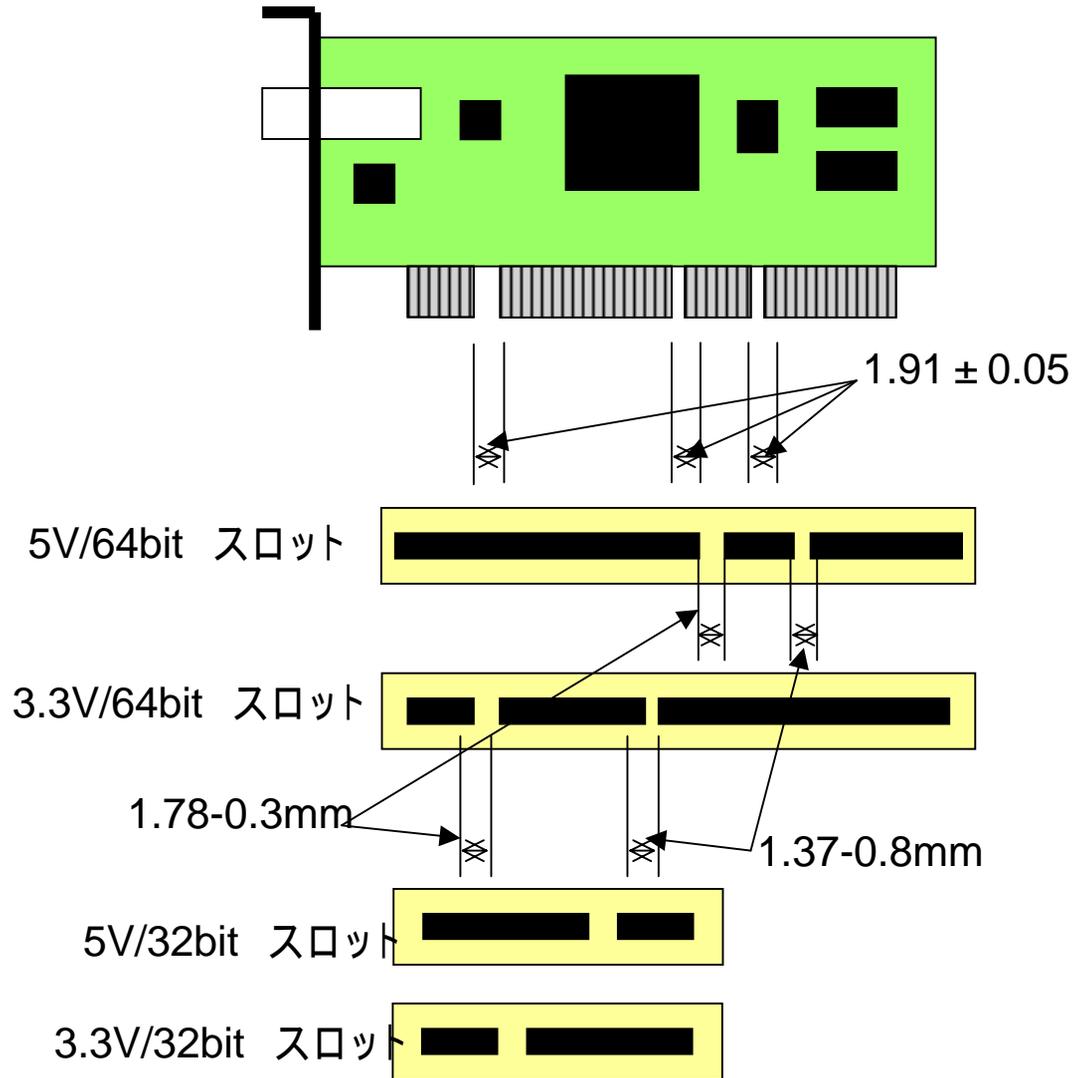
PCIカードの基盤サイズ



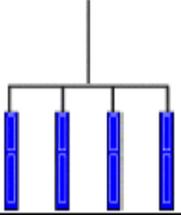
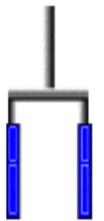
ロープロファイルバスには専用の短いブラケットが必要になる



PCI エッジの隙間



PCIバス(1チップ^o配下)での使用制限

Bus Width	Bus Frequency	Bus Bandwidth	PCI Slots
32-bit	33 MHz	133 MB/s	
64-bit	66 MHz	533 MB/s	

32bit x 33MHz = 133MBs	使用可能Slot数	4本
64bit x 33MHz = 266MBs	"	
64bit x 66MHz = 533MBs	"	2本

(注) 周波数が高ければなるほどブリッジ配下で使用できる Bus Slot数が少なくなる

PCIの問題点

バスクロックの限界

複雑なステートマシンを組む必要がある

バスプロトコルに諸問題がある

トランザクションの管理をしていない

・データ転送長を管理していない

・データ転送元の管理をしていない

同時動作枚数の限界

このため高周波数化・バースト転送には限界がある

PCI-Xに関して



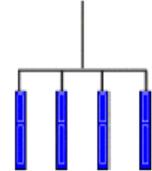
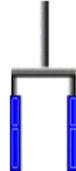
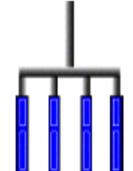
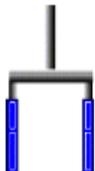
1999年にPCIの上位互換として、PCI-SIGにて策定された。(現在PCI-X2.0a)
同信号線を使うので物理的にPCIと互換はあるが使用するプロトコルには大幅に改訂が
加えられている。
モード2になると電気的特性(信号電圧1.8V)が違ってPCI/PCI-Xモード1とは互換が無い。

特徴

- ・高周波数である。66-133MHz
- ・同一バスでの動作枚数の増加(次ページ参照)
- ・PCIへの下位互換
- ・バーストデータ転送効率向上(イニシエータとデータ転送長の理解フェーズの導入)

注意 PCI-Xバス上でPCIカードを使用するとPCIモードとなる

PCI-Xバス(1チップ^o配下)での使用制限

Bus Width	Bus Frequency	Bus Bandwidth	PCI Slots	PCI-X Slots
32-bit	33 MHz	133 MB/s		N/A
64-bit	66 MHz	533 MB/s		
64-bit	100 MHz	800 MB/s	N/A	
64-bit	133 MHz	1066 MB/s	N/A	

64bit x 66MHz = 533MBs	(PCI-X1.0)	4本
64bit x 100MHz = 800MBs	"	2本
64bit x 133MHz = 1066MBs	"	1本
64bit x 133MHz = 2133MBs	(PCI-X2.0)	1本
64bit x 133MHz = 4266MBs	"	1本
64bit x 133MHz = 8532MBs	"	1本

(注)周波数が高ければなるほどブリッジ配下で使用できる
Bus Slot数が少なくなる

PCI-X用アドインカードには100MHzは存在しない

PCI-X1.0から2.0

PCI-Xの進化

- PCI-X2.0 モード1からモード2 PCI-X133から(3.3Vから1.5V)

PCI-X266 DDR (Double Data Rate 2倍) 2.132GB/s

PCI-X533 QDR (Quad Data Rate 4倍) 4.264GB/s

PCI-X2.0では、送信側が独自に、正負が対になった2本のStrobe信号 (DDR時は133MHzの、QDR時は266MHzのクロック)をデータや各種信号とともに送るようにしている。このため、受信側はシステムのクロックに依存せず、送信側から送られてきた2本のStrobe信号(クロック)の各立ち上がりエッジに合わせてデータを受け取ることができ、2倍や4倍のデータ転送を実現させている。

またモード2ではECCが必須となる。(モード1ではオプション)

パラレルからシリアルへ

バンド幅を上げるためにビット幅を32ビットから64ビットへ増やしたり、周波数を33MHzから66,133と上げ転送レートの向上を計ってきました。

しかし、周波数が高くなってくると、信号線と信号線の間を生じるわずかなズレ(スキュー)や信号線の伝播遅延時間をコントロールすることが難しくなりパラレル・バスでは、周波数が上がると、短くなった制限時間内に各信号線のズレを調整することが非常に難しくなり、ノイズへの対策にも限界が見えてきました。

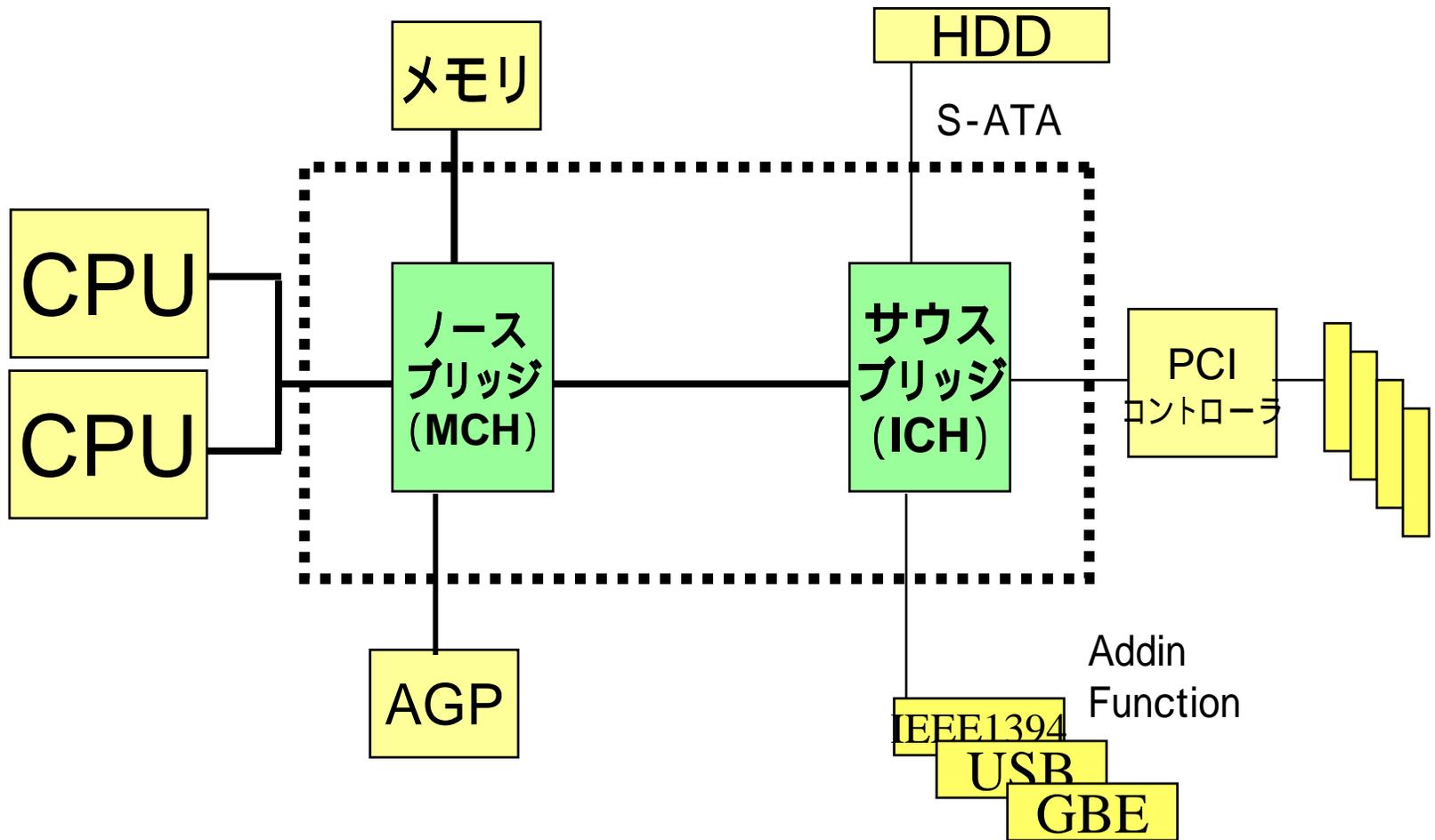
そのため、シリアル転送が台頭してきた。

- ・USB
- ・IEEE 1394
- ・Serial ATA
- ・Hyper-Transport
- ・InfiniBand
- ・PCI Express

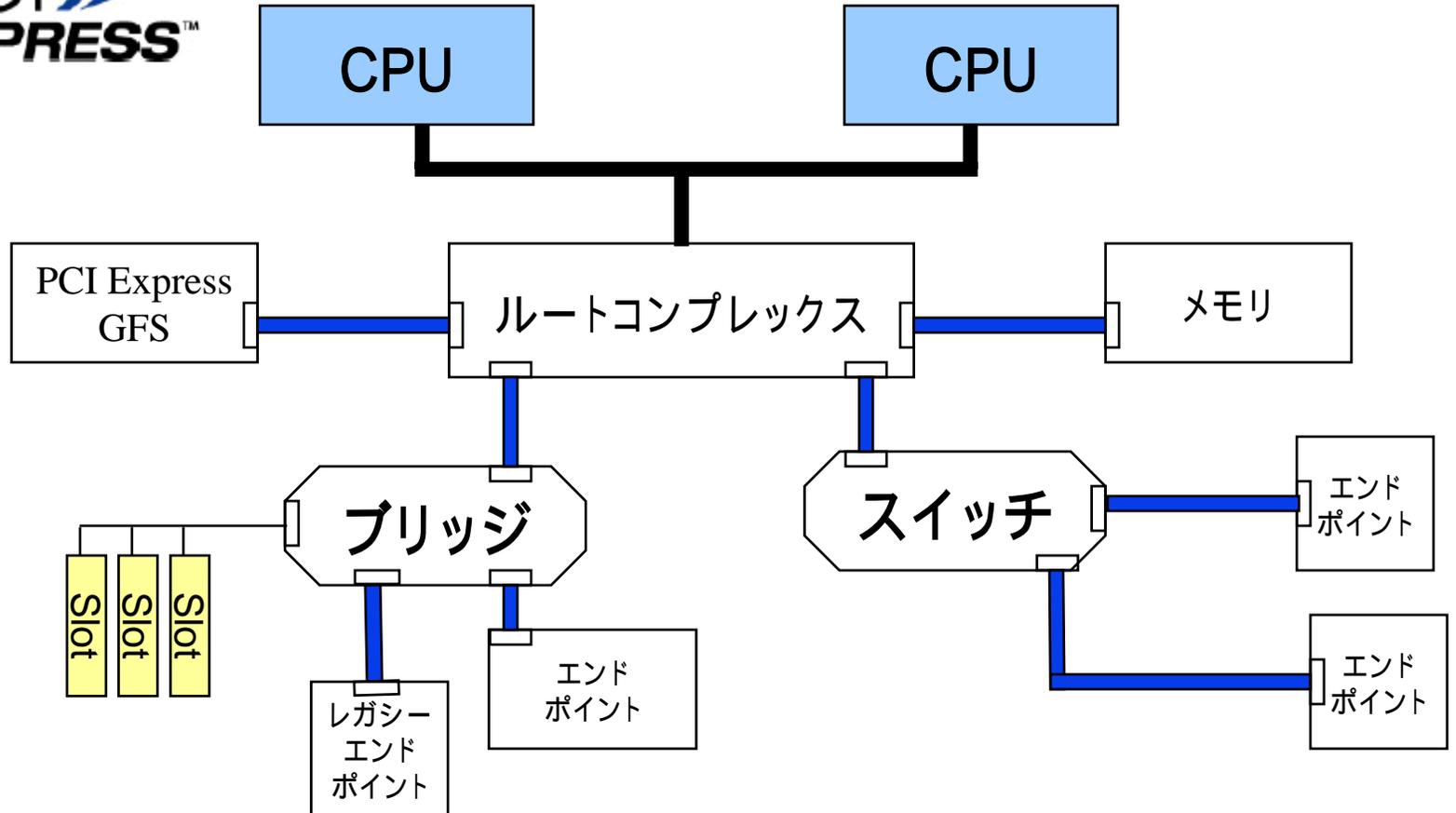
PCI Expressは

もともとは3GIO(第三世代I/O技術)としてPCI-SIGのArapahoe(アラパホ)ワーキング・グループで策定された。

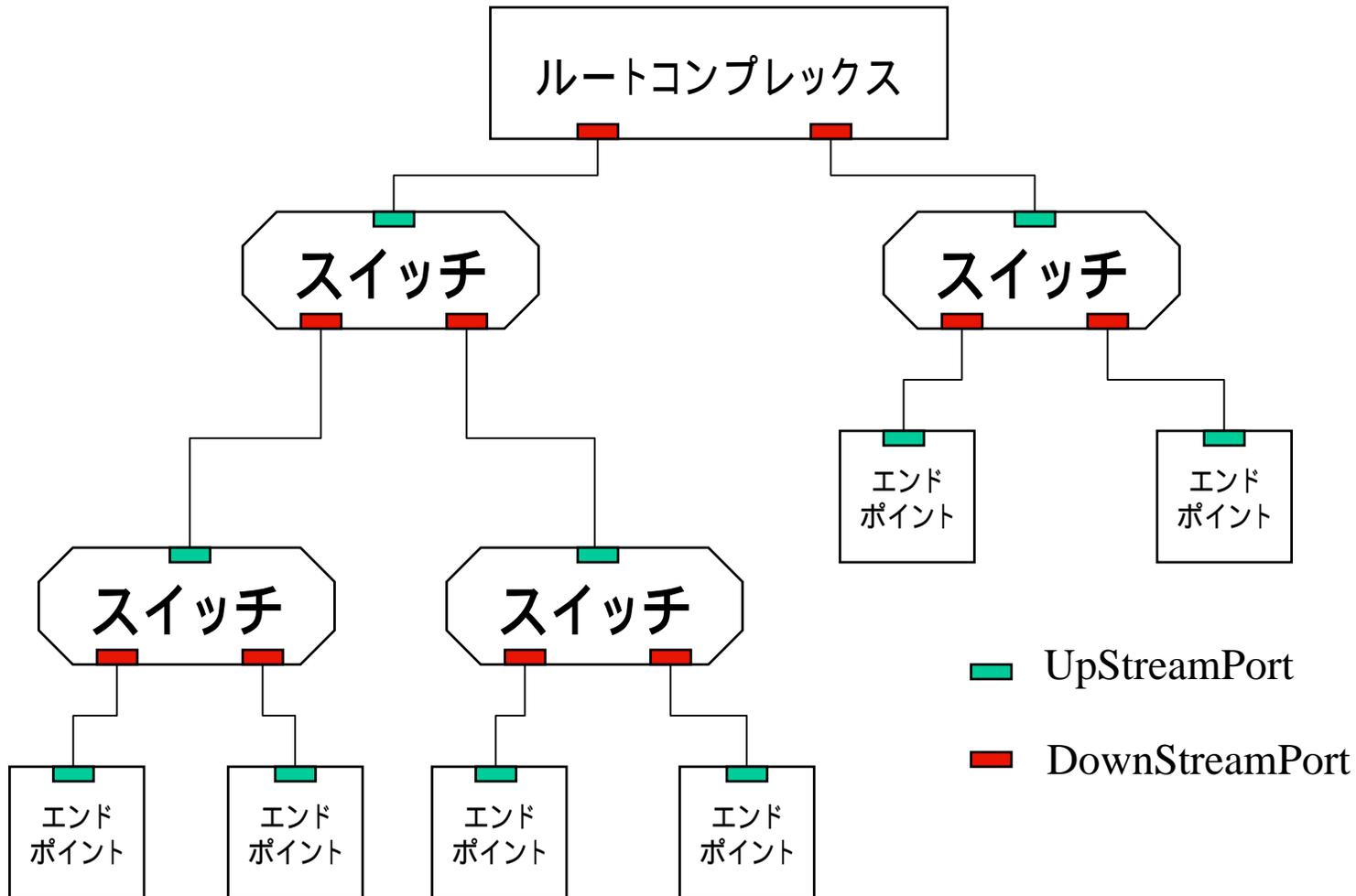
PCI, PCI-XからPCI Expressへ



PCI Express Overview

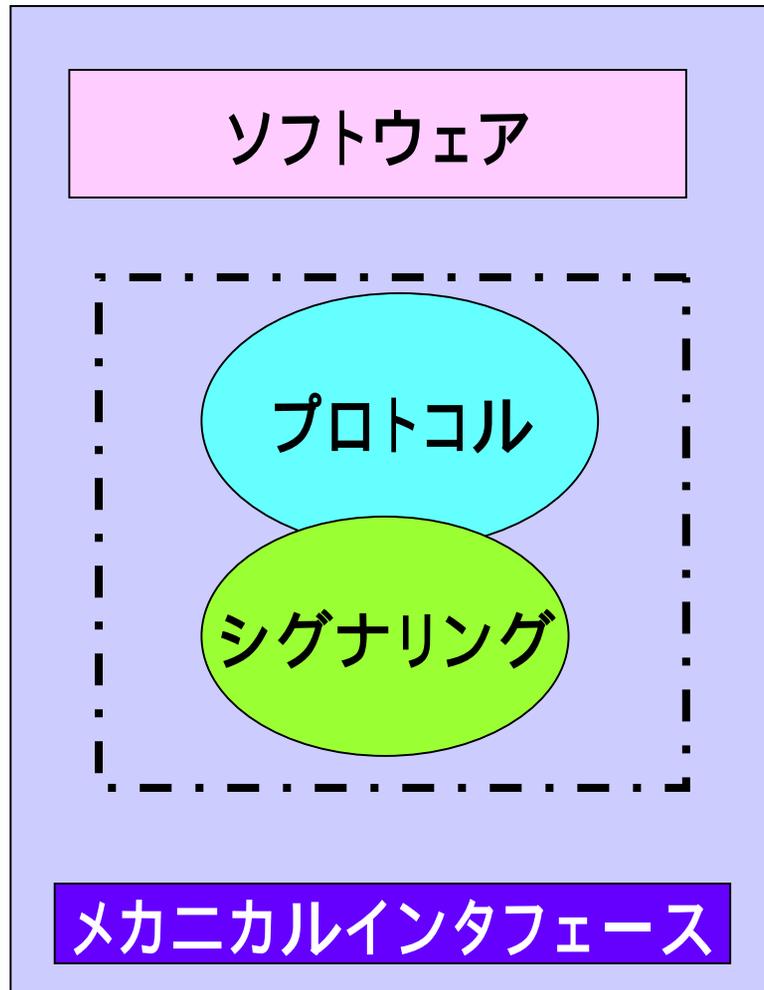


PCI Expressのツリー構造

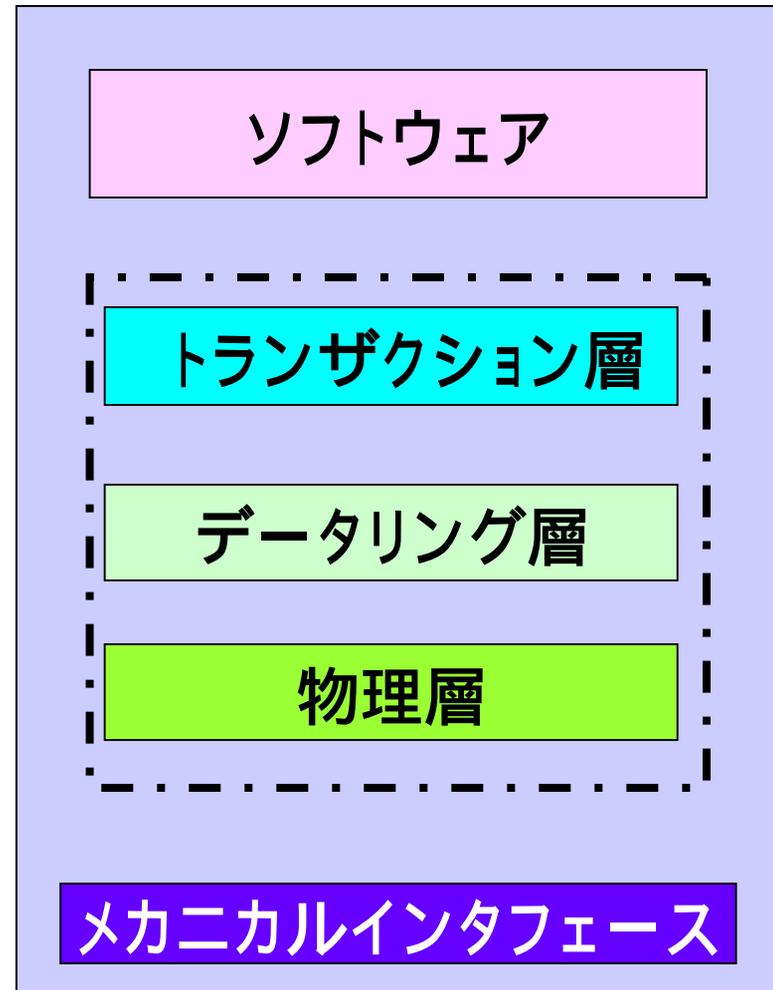


PCI、PCI-XとPCI Expressのアーキテクチャ

PCI



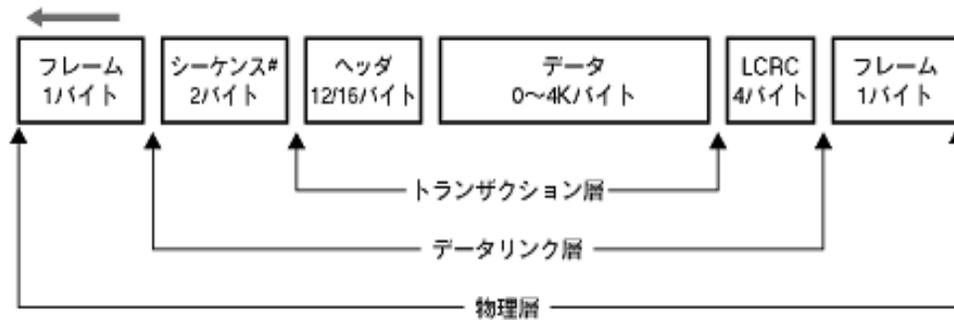
PCI Express



各層の主な役割

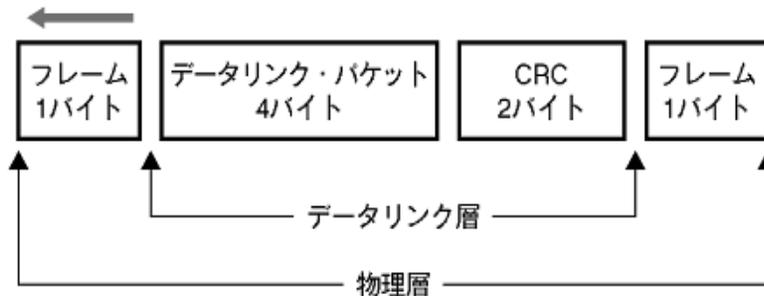
・トランザクション層

トランザクション・レイヤ・パケット (TLP) のフロー制御 (組み立て、分解) 機能を持つ



・データリンク層

エラー検出/訂正 (再送) によるデータの安全性の確保、データリンク層で使用するフロー制御用のパケットをDLLPと呼ぶ



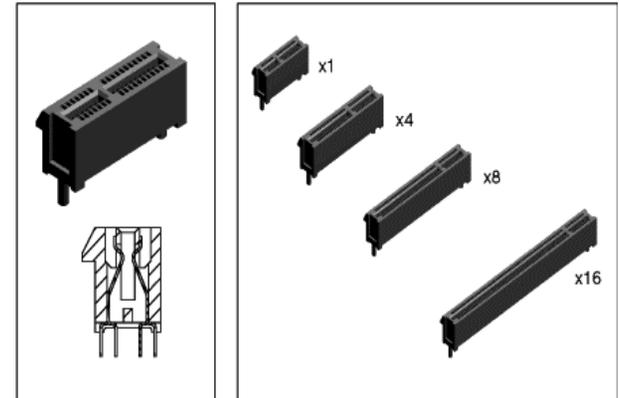


リンク構成とバンド幅

シリアル転送なので、8 B/10B変換により実効伝送バンド幅は80%程度となる

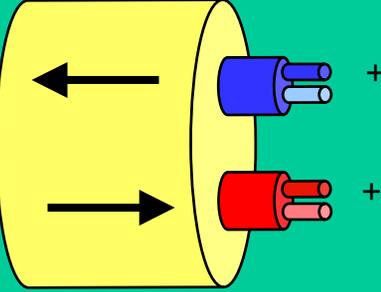
各スロットは下位互換がある
X32にX8のカードは挿入可能

リンク構成	バンド幅(片側)
X1	250MB
X2	500MB
X4	1GB
X8	2GB
X12	3GB
X16	4GB
X32	8GB

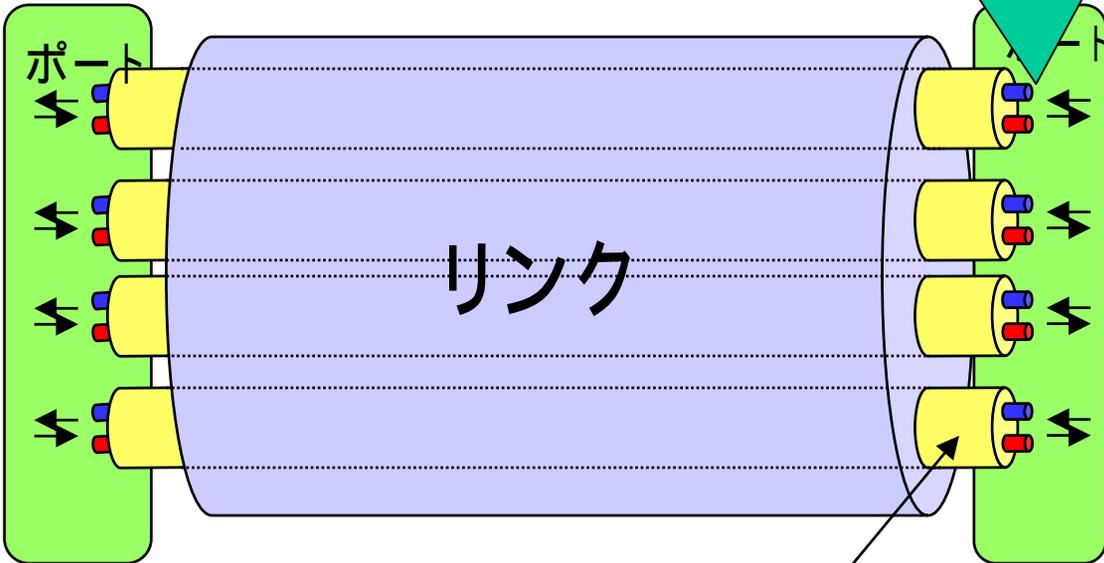


リンク/ポート/レーン

ディファレンシャル伝送

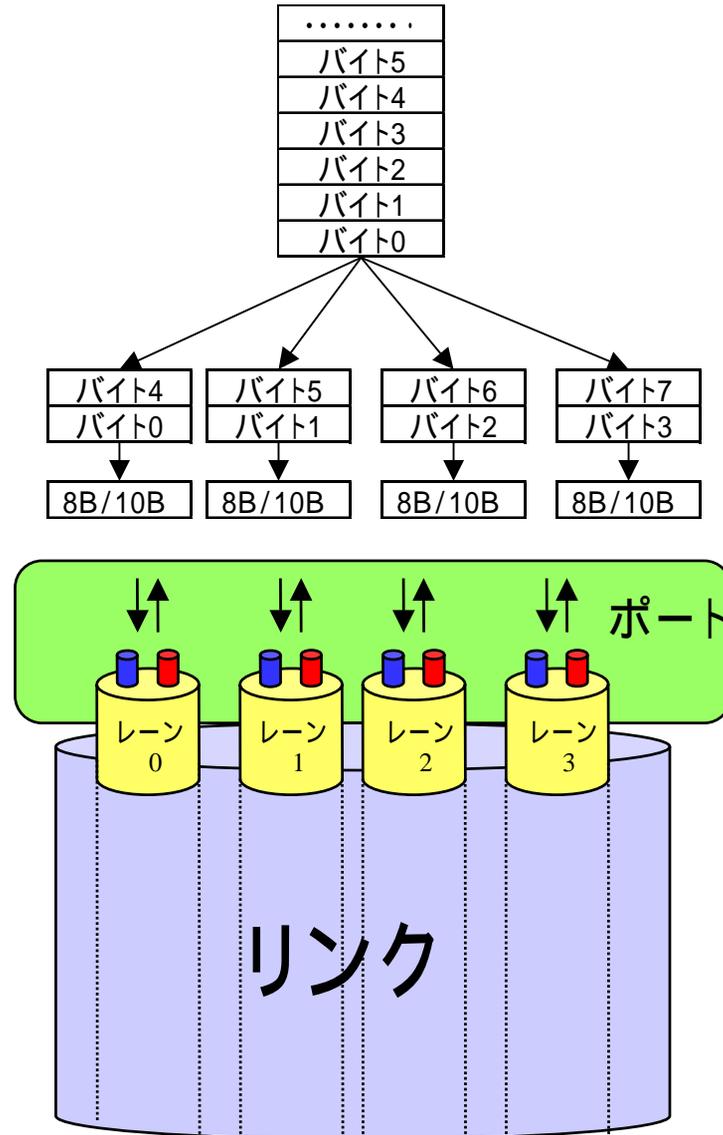


+ ACカップリング
出力 800mV ~1200mV
入力 175mV~1200mV
+ 差動インピーダンス 80~120



レーン

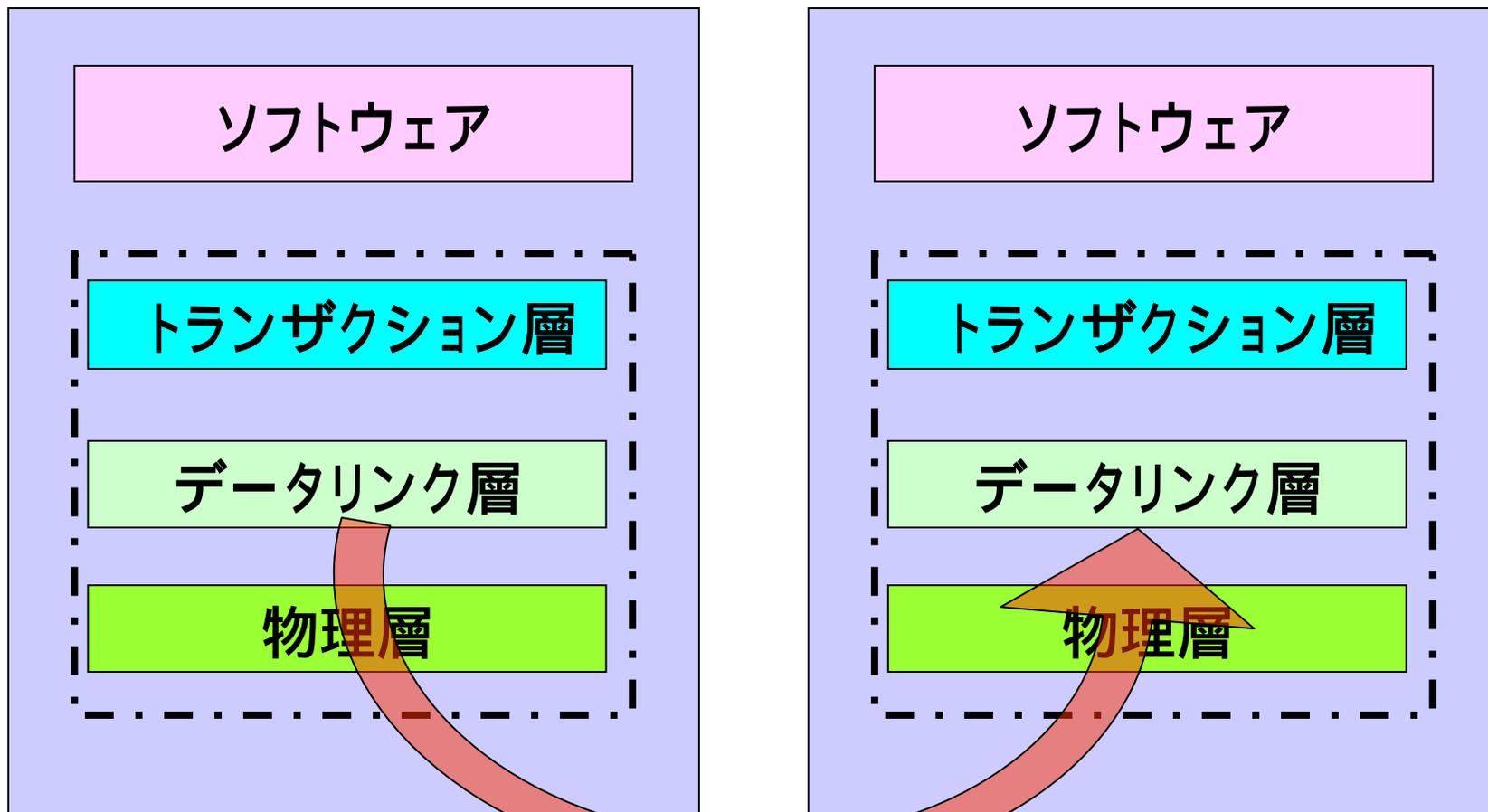
バイトストライピング



リトライ・フローコントロール

PCI Express

PCI Express



リトライ・フロー制御はデータリンク層(ハードウェア)で処理される

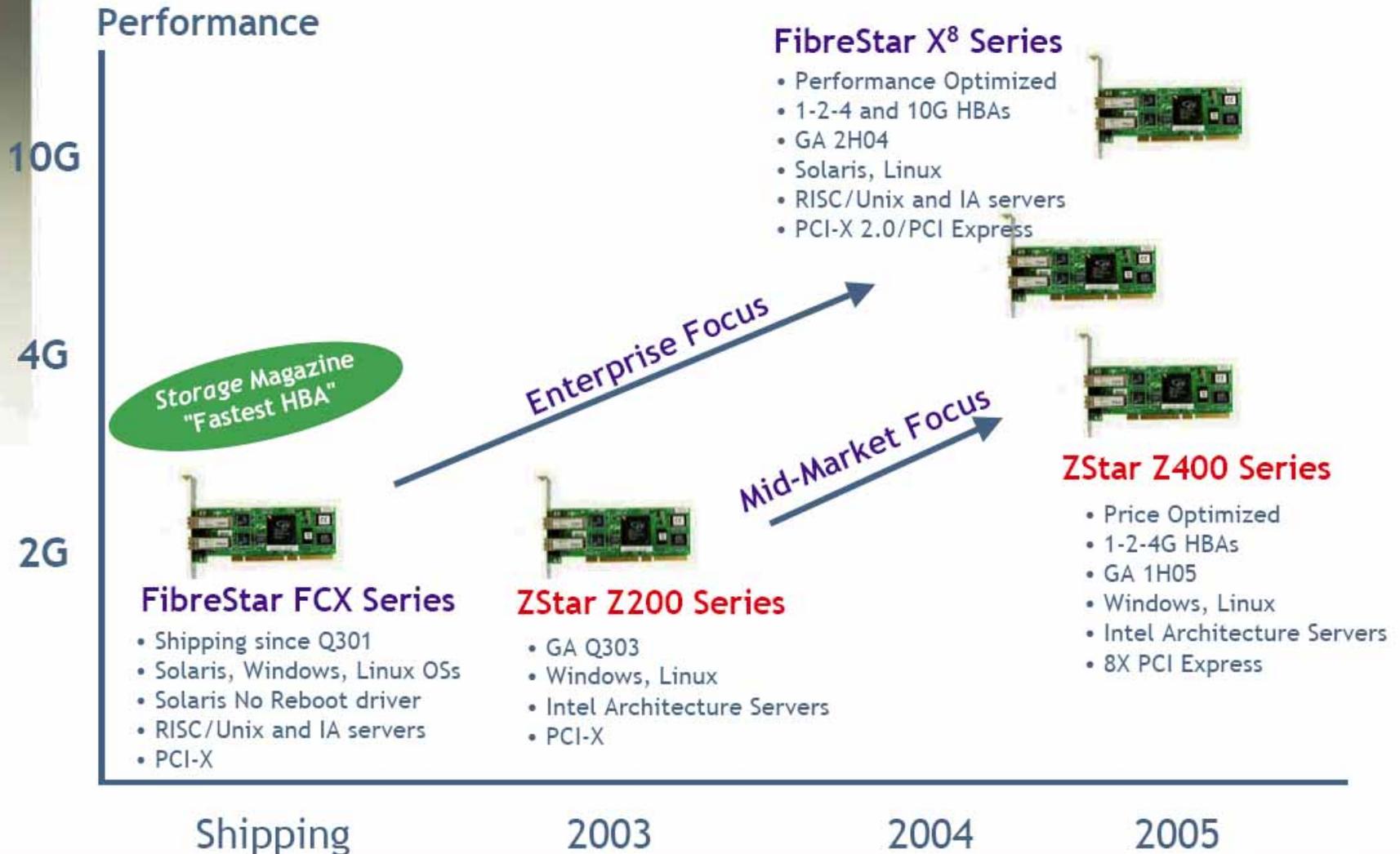
各HBAメーカー
PCI Express対応製品の同行

LP1xxxxEx PCI Express Host Bus Adapter



- Newest member of LP10000 Family
- PCI Express HBA features
 - 1, 4 and 8 lane negotiation
 - x8 connector (standard)
 - Same Drivers and Management tools as LP10000
 - **Support for HBAnyware and MultiPulse**
 - Same Fibre Channel feature set as LP10000
- Based on Intel PCI-E to PCI-X bridge
- Single- and dual-channel models
 - LP10000Ex-M2: Single-channel, short-wave optical link
 - LP10000ExDC-M2: Dual-channel, short-wave optical link
- Standard height, half length card format
- Availability: 2004夏以降

Fibre Channel HBA Roadmap



2 Gb FC to PCI-X/PCI Express

2H02

1H03

2H03

1H04

2H04



QLA2350/2352

- ✓ PCI-X 64/133MHz
- ✓ Fixed Optical SFF LC
- ✓ Low Profile PCI Card
- ✓ Standard PCI Bracket
- ✓ One/Two FC Ports
- ✓ Simultaneous SCSI, IP & VI Protocol Support Under W2K



QLE2440/2442

QLE2440L/2442L

- ✓ X4 PCI Express
- ✓ 1/2/4 Gb FC
- ✓ Fixed Optical SFF LC
- ✓ Low Profile PCI Card
- ✓ Standard/Low Profile PCI Brackets
- ✓ One/Two FC Ports
- ✓ Universal Boot Support



QLA2360/2362

QLA2360L/2362L

- ✓ PCI-X 64/133MHz
- ✓ Fixed Optical SFF LC
- ✓ Low Profile PCI Card
- ✓ Standard/Low Profile PCI Brackets
- ✓ One/Two FC Ports
- ✓ Double IOPs (80K IOPs/port)
- ✓ Universal Boot Support



QLA2440/2442

QLA2440L/2442L

- ✓ PCI-X 2.0 64/266MHz
- ✓ 1/2/4 Gb FC
- ✓ Fixed Optical SFF LC
- ✓ Low Profile PCI Card
- ✓ Standard/Low Profile PCI Brackets
- ✓ One/Two FC Ports
- ✓ Universal Boot Support

10 Gb FC to PCI-X/PCI Express

2H03

1H04

2H04

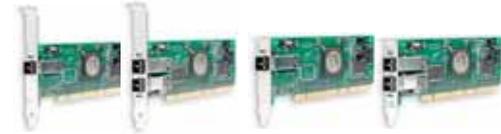
1H05

2H05



QLA2540

- ✓ PCI-X 133MHz
- ✓ 10 Gb FC
- ✓ Optical XPAK/XFP
- ✓ Half PCI Card
- ✓ One FC Port
- ✓ Universal Boot Support



QLE2550/2552

QLE2550L/2552L

- ✓ X4 PCI Express
- ✓ 10 Gb FC
- ✓ Optical XPAK/XFP
- ✓ Low Profile PCI Card
- ✓ Standard/Low Profile PCI Brackets
- ✓ One/Two FC Ports
- ✓ Universal Boot Support



QLA2550/2552

QLA2550L/2552L

- ✓ PCI-X 2.0 64/266MHz
- ✓ 10 Gb FC
- ✓ Optical XPAK/XFP
- ✓ Low Profile PCI Card
- ✓ Standard/Low Profile PCI Brackets
- ✓ One/Two FC Ports
- ✓ Universal Boot Support

参考文献

- PCI Express Base Specification Rev1.0a
- PCI Express規格の概要 里見 尚志
月刊Interface2003年7月号
- 組み込みネット PCI Expressデザインガイド 中村正澄